

**Family list**

**2** family member for: **JP8062581**

Derived from 1 application

**1 DISPLAY ELEMENT**

**Inventor:** HAZAMA YOSHIKAZU

**Applicant:** SONY CORP

**EC:**

**IPC:** G02F1/133; G09G3/20; G09G3/36 (+6)

**Publication info:** JP3243945B2 B2 - 2002-01-07

**JP8062581 A** - 1996-03-08

Data supplied from the **esp@cenet** database - Worldwide

## DISPLAY ELEMENT

**Patent number:** JP8062581  
**Publication date:** 1996-03-08  
**Inventor:** HAZAMA YOSHIKAZU  
**Applicant:** SONY CORP  
**Classification:**  
**- international:** G02F1/133; G09G3/20; G09G3/36; G02F1/13;  
 G09G3/20; G09G3/36; (IPC1-7): G02F1/133; G09G3/20;  
 G09G3/36  
**- european:**  
**Application number:** JP19940222589 19940824  
**Priority number(s):** JP19940222589 19940824

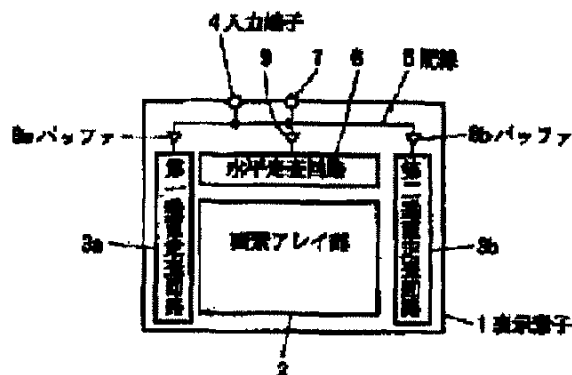
Report a data error here

### Abstract of JP8062581

**PURPOSE:** To prevent waveform bluntness and phase shift of a clock signal supplied from a common input terminal in a display element incorporating a pair of equivalent scanning circuits for a purpose of a redundancy.

**CONSTITUTION:** The display element 1 is provided with a pixel array part 2 displaying an image, a scanning part arranged on its periphery and operating according to the clock signal supplied from the outside and driving the pixel array part 2 and an input terminal 4 receiving the clock signal from the outside.

The scanning part incorporates a pair of vertical scanning circuits 3a, 3b equivalent to each other division-arranged on both left/right sides of the pixel array part 2, and it is connected to wiring 5 branched from the common input terminal 4 respectively, and they operate according to the common clock signal to drive the pixel array part 2 from both sides simultaneously. Buffers 8a, 8b are interposed on the wiring 5 in the position immediately before of respective vertical scanning circuits 3a, 3b, and the clock signals inputted to both vertical scanning circuits 3a, 3b are shaped respectively. Further, a resistance component or a capacitance component adjusting the phase of the clock signals may be added to one side of the wiring 5 branched from the input terminal 4 and of which lengths are different from each other.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-62581

(43) 公開日 平成8年(1996)3月8日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

G02F 1/133

550

G09G 3/20

R 4237-5H

3/36

審査請求 未請求 請求項の数 5 F D (全7頁)

(21) 出願番号 特願平6-222589

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(22) 出願日 平成 6 年 (1994) 8 月 24 日

(72) 発明者 間 快和

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

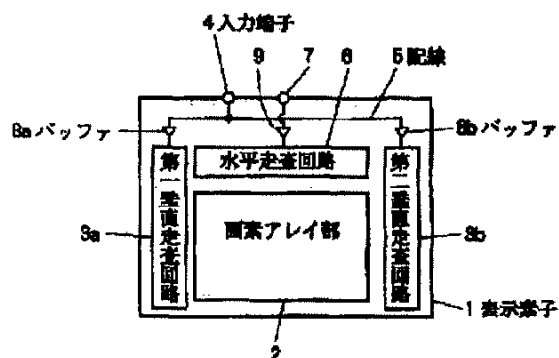
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 表示素子

(57) 【要約】

【目的】 冗長性を目的として一対の等価な走査回路を内蔵する表示素子において、共通の入力端子から供給されるクロック信号の波形なまりや位相ずれを防止する。

【構成】 表示素子 1 は画像を表示する画素アレイ部 2 と、その周辺に配置され外部から供給されるクロック信号に応じて動作し画素アレイ部 2 を駆動する走査部と、クロック信号を外部から受け入れる入力端子 4 とを備えている。走査部は画素アレイ部 2 の左右両側に分割配置した一対の互いに等価な垂直走査回路 3 a、3 b を含んでおり、共通の入力端子 4 から分岐した配線 5 に各々接続され、共通のクロック信号に応じて動作し両側から同時に画素アレイ部 2 を駆動する。各垂直走査回路 3 a、3 b の直前の位置で配線 5 にバッファ 8 a、8 b を介在させ、両垂直走査回路 3 a、3 b に入力されるクロック信号を夫々整形する。さらには、入力端子 4 から分岐した長さが互いに相違する配線 5 の一方に、クロック信号の位相を調整する抵抗成分又は容量成分を付加しても良い。



## 【特許請求の範囲】

【請求項1】 画像を表示する画素アレイ部と、その周辺に配置され外部から供給されるクロック信号に応じて動作し該画素アレイ部を駆動する走査部と、該クロック信号を外部から受け入れる入力端子とを備えた表示素子であって、

前記走査部は該画素アレイ部の両側に分割配置した一対の互いに等価な走査回路を含んでおり、共通の入力端子から分岐した配線に各々接続され、共通のクロック信号に応じて動作し両側から同時に画素アレイ部を駆動すると共に、

各走査回路の直前の位置で該配線にバッファを介在させ、両走査回路に入力されるクロック信号を夫々整形する事の特徴とする表示素子。

【請求項2】 入力端子から分岐した長さが互いに相違する一対の配線の一方に、クロック信号の位相を調整する抵抗成分又は容量成分を付加した事の特徴とする請求項1記載の表示素子。

【請求項3】 前記一対の走査回路は、該画素アレイ部の左右両側に配置され該画素アレイ部を垂直方向に順次駆動する一対の垂直走査回路である事の特徴とする請求項1記載の表示素子。

【請求項4】 前記一対の走査回路は、該画素アレイ部の上下両側に配置され該画素アレイ部を水平方向に順次駆動する一対の水平走査回路である事の特徴とする請求項1記載の表示素子。

【請求項5】 前記画素アレイ部は、マトリクス配置した画素電極と、これに対向配置した対向電極と、両者の間に介在する液晶と、個々の画素電極に接続され且つ該走査部により駆動されるスイッチング素子とを備えている事の特徴とする請求項1記載の表示素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はアクティブマトリクス型の表示素子に関する。詳しくは、画素アレイ部に加えて水平走査回路及び垂直走査回路を内蔵したアクティブマトリクス型の表示素子に関する。さらに詳しくは、垂直走査回路及び水平走査回路に入力されるクロック信号の波形整形技術に関する。

## 【0002】

【従来の技術】 一般に、従来のアクティブマトリクス型表示素子は、画素を表示する画素アレイ部と、その周辺に配置され外部から供給されるクロック信号に応じて動作し該画素アレイ部を駆動する走査部と、該クロック信号を外部から受け入れる入力端子とを備えている。この走査部は垂直走査回路と水平走査回路とからなる。垂直走査回路は画素アレイ部を垂直方向に順次駆動する。これに対し、水平走査回路は画素アレイ部を水平方向に順次駆動する。

【0003】 従来の表示素子は水平走査回路と垂直走査

回路を1個ずつ内蔵している構造が一般的である。近年、内蔵される走査部に回路構成上の冗長性を持たせ信頼性を確保する為、例えば垂直走査回路を画素アレイ部の左右両側に分割配置した構成が提案されている。左右に分割配置した一対の垂直走査回路は回路的に互いに等価であり外部入力されるクロック信号に応じて動作し左右両側から同時に画素アレイ部を駆動する。仮に、一方の垂直走査回路に故障が発生しても、他方の垂直走査回路が正常に動作する限り、表示素子自体としては何等問題がない。

## 【0004】

【発明が解決しようとする課題】 垂直走査回路を一対設けた場合、これらにクロック信号を入力する為の入力端子も余分に設けなければならない。しかしながら、入力端子数が増加すると種々の不具合が生じる。第一に、表示素子に占める入力端子の面積が増大する為、静電ダメージをより多く受ける様になる。第二に、入力端子数の増加に伴ないこれに応じて検査工程数が増え製造プロセス上不利になる。第三に、入力端子と走査回路とを結線する内部配線が多くなり、組み立て実装工程で不良が起りやすくなる。

【0005】 そこで、一対の垂直走査回路に対し共通の入力端子を設け、ここから内部配線で分岐して各垂直走査回路に共通のクロック信号を供給する事が考えられる。これにより、入力端子数を半減でき、単独の垂直走査回路を内蔵する表示素子と同等の入力端子個数にできる。しかしながら、表示素子が大面積化した場合、この内部配線は相当な長さに渡る為、入力されたクロック信号の波形なまり等が生じ、動作特性上問題となる。又、入力端子から分岐した二本の内部配線を同一長に設定する事は回路レイアウト上困難な場合があり、両方の垂直走査回路に入力されるクロック信号に位相ずれが生じる場合が多い。アクティブマトリクス型表示素子の高精細化が進むにつれ、走査回路の動作速度も早くなる。この時、一対の走査回路を動作させるクロック信号が正確に一致していないと動作不良に至る可能性が高くなる。

## 【0006】

【課題を解決するための手段】 上述した従来の技術の課題に鑑み、本発明は共通の入力端子から一対の走査回路に分配されるクロック信号の波形なまりや位相ずれを抑制し、表示素子の動作を安定化する事を目的とする。かかる目的を達成する為以下手段を講じた。即ち、本発明にかかる表示素子は基本的な構成として、画像を表示する画素アレイ部と、その周辺に配置され外部から供給されるクロック信号に応じて動作し該画素アレイ部を駆動する走査部と、該クロック信号を外部から受け入れる入力端子とを備えている。前記走査部は該画素アレイ部の両側に分割配置した一対の互いに等価な走査回路を含んでおり、共通の入力端子から分岐した配線に各々接続され、共通のクロック信号に応じて動作し両側から同

時に画素アレイ部を駆動する。特徴事項として、各走査回路の直前の位置で該配線にバッファを介在させ、両走査回路に入力されるクロック信号を夫々整形する。さらには、入力端子から分岐した長さが互いに相違する一対の配線の一方に、クロック信号の位相を調整する抵抗成分又は容量成分を付加している。前記一対の走査回路は例えば一対の垂直走査回路であり、該画素アレイ部の左右両側に配置され画素アレイ部を垂直方向に順次駆動する。あるいは、前記一対の走査回路は一対の水平走査回路であり、該画素アレイ部の上下両側に配置され画素アレイ部を水平方向に順次駆動する。なお、画素アレイ部はマトリクス配置した画素電極と、これに対向配置した対向電極と、両者の間に介在する液晶と、個々の画素電極に接続され且つ該走査部により駆動されるスイッチング素子とを備えている。

【0007】

【作用】本発明によれば、走査回路内蔵型の表示素子において、水平走査回路あるいは垂直走査回路が画素アレイ部の両側に分れて一対設けられている場合、夫々の走査回路の入力部直前の位置にバッファを挿入し、クロック信号の波形を整形している。バッファ以降の配線長が極端に短くなる為、波形整形されたクロック信号は殆どなまる事なくそのまま各走査回路に入力される。従って、立ち上がり及び立ち下がりが極めてシャープなクロック信号を各走査回路に供給でき動作の安定化が図られる。又、共通の入力端子から各走査回路までに設けられた分岐配線の長さが相違する場合、一方の分岐配線に抵抗成分や容量成分を付加し時定数を等しくなる様にしている。換言すると、配線長の違いによる抵抗及び容量の影響を相殺できる為、両走査回路に入力されるクロック信号に位相ずれが生じない。従って、一対の走査回路は互いに同期して画素アレイ部を同時に駆動するので動作の安定化が図られる。

【0008】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる表示素子の第一実施例を示す模式的なブロック図である。図示する様に表示素子1は画像を表示する画素アレイ部2と、その周辺に配置された走査部とを有している。この走査部は外部から供給されるクロック信号に応じて動作し画素アレイ部2を駆動する。この走査部は画素アレイ部2の左右両側に分割配置した一対の互いに等価な垂直走査回路3a、3bを含んでおり、共通の入力端子4から分岐した配線5に各々接続され、入力端子4に外部から印加された共通のクロック信号に応じて動作し画素アレイ部2の左右両側から同時にこれを駆動する。走査部は一対の垂直走査回路3a、3bに加え、単独の水平走査回路6を含んでおり、画素アレイ部2の上側に配置され、これを水平方向に順次駆動する。この水平走査回路6にも別の入力端子7から所定のクロック信号が供給される。

【0009】本発明の特徴事項として、各垂直走査回路3a、3bの直前の位置で配線5にバッファ8a、8bを各々介在させ、両垂直走査回路3a、3bに入力するクロック信号を夫々波形整形している。なお水平走査回路6の入力部直前にも別のバッファ9が介在している。これらのバッファ8a、8bはノンインバータ構造あるいはインバータ構造を有している。第一垂直走査回路3aの直前にバッファ8aを挿入する事により、これ以降の配線長が極端に短くなる。従って、バッファ8aにより波形整形されたクロック信号は略そのままの形で第一垂直走査回路3aに入力される。同様に、第二垂直走査回路3bの直前にバッファ8bが挿入されている為、これ以降の配線長が極端に短くなり、波形整形されたクロック信号がそのまま第二垂直走査回路3bに入力される。

【0010】図2は、クロック信号の波形を表わしている。最初の波形(in)は外部から入力端子4に供給された時点でのクロック信号を表わしており、立ち上がり及び立ち下がりが若干なまっている。次の波形(outa)はバッファ8aを介して第一垂直走査回路3aに入力されたクロック信号を表わしている。点線で示す様に、バッファ8aの直前では、配線5を通った結果立ち上がり及び立ち下がりのなまりが若干大きくなっている。これをバッファ8aで整形する事により略矩形のクロック信号が得られ、第一垂直走査回路3aの動作が安定化する。最後の波形(outb)はバッファ8bを介して第二垂直走査回路3bに入力されたクロック信号を表わしている。点線で示す様にバッファ8bの直前では立ち上がり及び立ち下がりになまりがあるが、これを波形整形する事により略矩形のクロック信号を第二垂直走査回路3bに入力できる。但し、入力端子4から分岐した配線5の長さが相違する場合、第一垂直走査回路3aと第二垂直走査回路3bとの間で波形なまりの程度が異なる。図示の例では、分岐点から第一垂直走査回路3aに至る配線長が第二垂直走査回路3bに至る配線長に比べ短いので、波形なまりは第一垂直走査回路3aに分配されるクロック信号の方が、第二垂直走査回路3bに分配されるクロック信号に比べ小さい。この様に、波形なまりの状態が異なったままでクロック信号の波形整形を行なうと、outaとoutbとの間で若干の位相ずれが生じる。

【0011】図3は、表示素子の参考例を表わしており、理解を容易にする為図1に示した第一実施例と対応する部分には対応する参照番号を付してある。第一実施例と異なる点は、バッファ8が一個のみ設けられている事であり、入力端子4と配線5の分岐点との間に挿入されている。入力端子4に外部から供給されたクロック信号は単一のバッファ8により波形整形された後、分岐点を介して第一垂直走査回路3aと第二垂直走査回路3bに分配される。バッファ8から各垂直走査回路3a、3

bに至る配線5の長さが可成り大きい為、この間に一旦波形整形したクロック信号が再びなまってしまう事になる。

【0012】図4は本発明にかかる表示素子の第二実施例を示す模式的なブロック図である。基本的な構成は図1に示した第一実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。この第二実施例は一对の垂直走査回路3a、3bに分配されるクロック信号の相対的な位相ずれを抑制する事を目的とする。この為、入力端子4から分岐した長さが互いに相違する配線5の一方に、クロック信号の位相を調整する抵抗成分Rs、容量成分Csを付加している。入力端子4のレイアウトの制約等から、左右のバッファ8a、8bまでの配線長が大きく異なる場合がある。この時には、配線5の分岐点から各バッファ8a、8bまでの時定数が等しくなる様に、Rs、Csを付加する。一般に、配線長が長くなる程配線抵抗が大きくなり配線容量も増大する。図示の例では分岐点から左側のバッファ8aに至る配線長が、右側のバッファ8bに至る配線長に比べ短い。この長さの違いを相殺する為、所定の抵抗成分Rsと容量成分Csを短い方の配線に挿入する。この様にすれば、分岐点から両側で配線の時定数が等しくなる為、クロック信号の遅延量も同じになり、第一垂直走査回路3aと第二垂直走査回路3bとの間で位相ずれが生じない。

【0013】図5は、図4に示した回路を通るクロック信号の波形を表わしている。最初の波形(in)は共通の入力端子4に外部から入力された時点のクロック信号を表わし、立ち上がり及び立ち下がりに若干のなまりが生じている。一番下の波形(outb)は右側のバッファ8bで波形整形されたクロック信号を表わしている。点線で示す様に、配線5の分岐点からバッファ8bに至るまでの間に配線長が比較的長い為クロック信号の波形が相当程度なまる。これはバッファ8bにより整形されるので、略矩形のクロック信号を第二垂直走査回路3bに供給できる。真中の波形(outa)は第一垂直走査回路3aに分配されるクロック信号の波形を表わしている。配線5の分岐点からバッファ8aに至る配線長は比較的短い為Rs及びCsが挿入されている為、点線で示す様にクロック信号は右側に分配されるクロック信号と略同程度になまっている。これをバッファ8aで所定の閾値レベルに基づき波形整形する事により、略矩形のクロック信号が得られる。バッファ8aとバッファ8b側で略等しい波形なまりが生じているので、これを整形する事により略位相ずれのないクロック信号が得られる。

【0014】図6は、図1に示した第一実施例の具体的な構成を示すブロック図である。対応する部分には対応する参照番号を付して理解を容易にしている。図示する様に、表示素子1には画素アレイ部2とこれを駆動する周辺走査部とこれに外部からクロック信号を供給する複

数の入力端子4、7とが集積形成されている。画素アレイ部2は行列配置した画素を有している。個々の画素は画素電極PXとスイッチング用の薄膜トランジスタTrとからなる。又、行状に配列したゲートラインXと列状に配列した信号ラインYとを備えている。各薄膜トランジスタTrのゲート電極は対応するゲートラインXに接続され、ソース電極は対応する信号ラインYに接続され、ドレイン電極は対応する画素電極PXに接続されている。周辺走査部は複数の入力端子4から供給された二相のクロック信号VCK、VCKXと垂直スタート信号VSTに応じて順次画素の各行を選択駆動する垂直走査手段と、複数の入力端子7から供給された二相のクロック信号HCK、HCKXや水平スタート信号HSTに応じて選択された画素を列順次で書き込み駆動する水平走査手段とを有している。垂直走査手段は画素アレイ部2の左右両側に配置された一对の垂直走査回路3a、3bからなり、画素の各行を両側から同時に選択駆動する。具体的には、第一垂直走査回路3aがゲートラインXの左端側に接続される一方、第二垂直走査回路3bがゲートラインXの右端側に接続されている。両垂直走査回路3a、3bは互いに同一タイミングでゲートパルス順次出力し、薄膜トランジスタTrを行毎に開閉して上述した画素の選択駆動を行なう。この際、クロック信号VCK、VCKXやスタート信号VSTは各垂直走査回路3aの直前に配置されたバッファ8a、8bを介して供給されるので、波形なまりが生じない。一方、水平走査手段は単一の水平走査回路6から構成されており、信号ラインYの一端に接続されている。水平走査回路6は入力端子7を介して外部から供給された映像信号を各信号ラインYにサンプリング分配し、選択された画素を列順次で書き込み駆動する。水平走査回路6の入力部と複数の入力端子7との間にもバッファ9が介在している。

【0015】図7は、本発明にかかる表示素子の第三実施例を示す模式的なブロック図である。先に説明した第一実施例及び第二実施例と異なり、垂直走査回路3を1個設ける一方、一对の第一水平走査回路6a、第二水平走査回路6bを画素アレイ部の上下両側に設け、同時駆動を行なっている。図示する様に、行状に形成した複数のゲートラインXと列状に形成した複数の信号ラインYと両者の各交差部に設けられた複数の液晶画素LCとを有している。この液晶画素LCは画素電極と対向電極との間に液晶を保持したものである。複数の液晶画素LCはマトリクス状に整列して画素アレイ部を構成する。個々の液晶画素LCに対応してこれをスイッチング駆動する為薄膜トランジスタTrが集積形成されている。又、垂直走査回路3を備えており、垂直スタート信号VSTや垂直クロック信号VCKに応じてゲートパルスφ<sub>g</sub>を出力し各ゲートラインXを順次垂直走査して一水平期間毎に一行分の液晶画素LCを選択する。さらに、第一水

平走査回路6aを有しており、水平クロック信号HCKや水平スタート信号HSTに応じて一水平期間内で各信号ラインYを順次走査し、ビデオライン10から供給された映像信号をサンプリングして選択された一行分の液晶画素LCに点順次で書き込む。具体的には、各信号ラインYは水平スイッチHSWを介してビデオライン10に接続されており外部から映像信号の供給を受ける。水平走査回路6aは順次サンプリングパルスφ<sub>h</sub>を出力し各水平スイッチHSWを順次開閉駆動して各信号ラインYに映像信号をサンプリングする。又、第二水平走査回路6bを備えており、第一水平走査回路6aと同期して水平走査を行なう。この為、第一水平走査回路6aと第二水平走査回路6bは共通の入力端子7から配線5を介して分配される共通の水平クロック信号HCKや水平スタート信号HSTの供給を受ける。この際、第一水平走査回路6aの入力部直前にバッファ9aが挿入され、第二水平走査回路6bの入力部直前に同じくバッファ9bが挿入されている。勿論、必要に応じ一方の分岐配線に時定数調整用の抵抗成分や容量成分を挿入しても良い。

【0016】

【発明の効果】以上説明した様に、本発明によれば、冗長性を持たせる為に設けられた一対の走査回路の直前に、夫々波形整形用のバッファを配置する事により、立ち上がり及び立ち下りのシャープなクロック信号を分配する事が可能になり、各走査回路の誤動作を防ぐ事ができるという効果がある。又、一対の走査回路に接続される分岐配線の長さの相違による時定数差を調整する

為、ダミーの抵抗成分や容量成分を付加する事により、各走査回路に分配されるクロック信号の位相ずれを防止する事が可能になるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかる表示素子の第一実施例を示すブロック図である。

【図2】第一実施例の動作説明に供する波形図である。

【図3】表示素子の参考例を示すブロック図である。

【図4】本発明にかかる表示素子の第二実施例を示すブロック図である。

【図5】第二実施例の動作説明に供する波形図である。

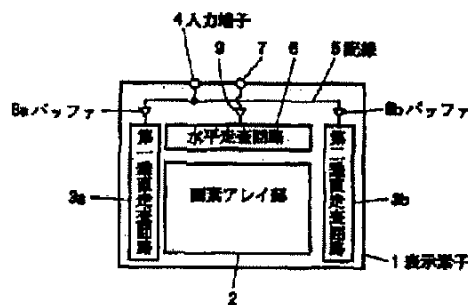
【図6】図1に示した第一実施例の具体的な構成例を示す回路図である。

【図7】本発明にかかる表示素子の第三実施例を示すブロック図である。

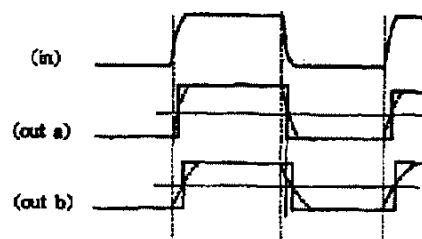
【符号の説明】

- 1 表示素子
- 2 画素アレイ部
- 3a 第一垂直走査回路
- 3b 第二垂直走査回路
- 4 入力端子
- 5 配線
- 6 水平走査回路
- 7 入力端子
- 8a バッファ
- 8b バッファ
- 9 バッファ

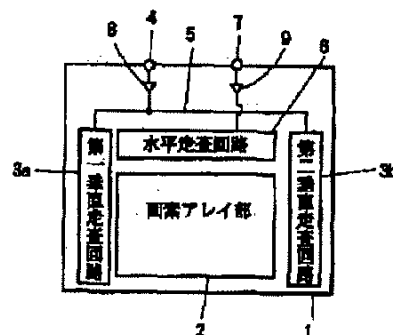
【図1】



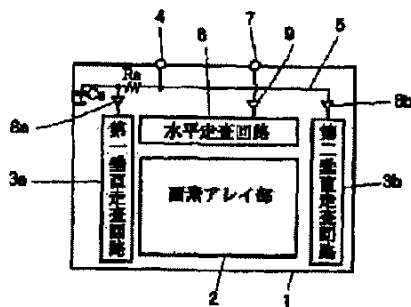
【図2】



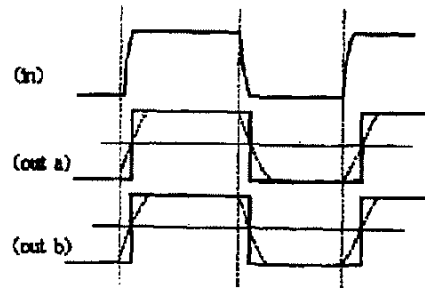
【図3】



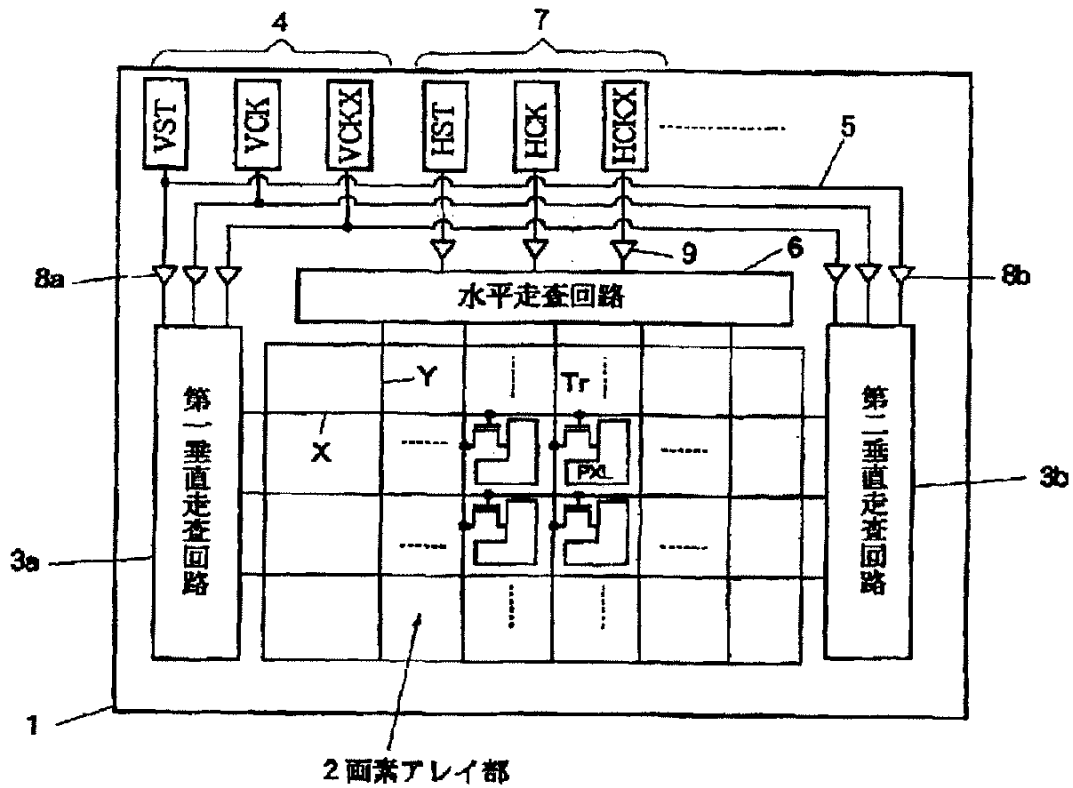
【図 4】



【図 5】



【図 6】





【図 7】

